

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097819
(43)Date of publication of application : 09.04.1999

(51)Int.Cl. H05K 1/18
H05K 1/02

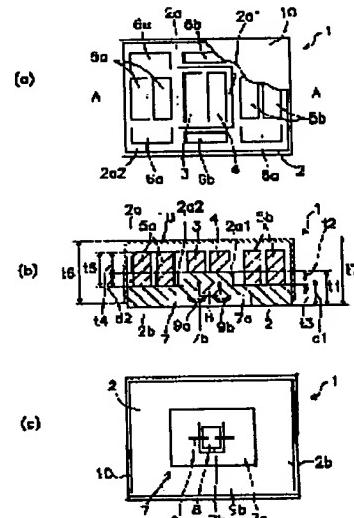
(21)Application number : 09-255304 (71)Applicant : MURATA MFG CO LTD
(22)Date of filing : 19.09.1997 (72)Inventor : HIROTA KOJIRO

(54) ELECTRONIC COMPONENT

(57) Abstract:

(37) Abstract: PROBLEM TO BE SOLVED: To provide an electronic component, which can provide a compact configuration and a flat structure.

SOLUTION: A surface 2a of a substrate 2 constituting an electronic component 1 comprises a protruding part 2a1 and a bottom part 2a2 forming the step difference with respect to the protruding part 2a1. For the bottom part 2a2, surface element 5a and 5b having a maximum height are mounted, and other surface elements 3 and 4 are mounted on the protruding part 2a1. Furthermore, a cavity 7 is formed at a position corresponding to the protruding part 2a1 at the rear surface 2b of the substrate 2. A rear surface element 8 is contained in this cavity 7. Thus, the differences in heights between the surface elements are absorbed, the respective rear-surface elements are arranged at a same height from the surface of the substrate and the compact configuration and the flat structure of the overall electronic component can be realized.



LEGAL STATUS

[Date of request for examination] 31.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97819

(43) 公開日 平成11年(1999)4月9日

(51) Int. C1.^a

H 0 5 K 1/18
 1/02

識別記号

F I

H 0 5 K 1/18
 1/02

S
B

審査請求 未請求 請求項の数 3

O L

(全 4 頁)

(21) 出願番号 特願平9-255304

(71) 出願人 000006231

株式会社村田製作所

(22) 出願日 平成9年(1997)9月19日

京都府長岡市天神二丁目26番10号

(72) 発明者 廣田 鉱二郎

京都府長岡市天神二丁目26番10号 株式会社村田製作所内

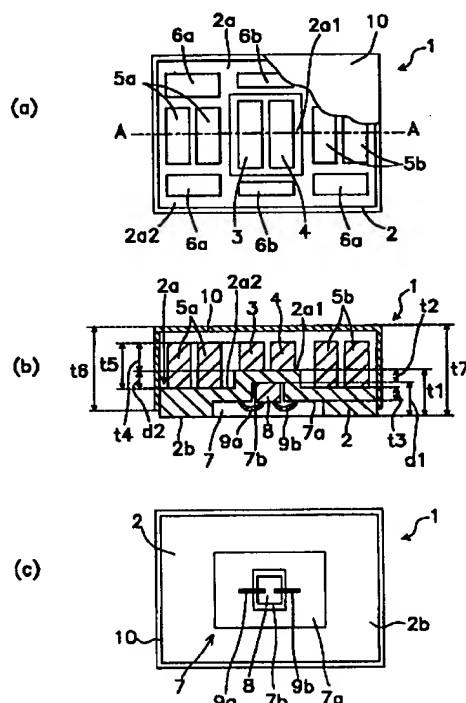
(54) 【発明の名称】電子部品

(57) 【要約】

【課題】 小型化、低背化が可能な電子部品を提供する。

【解決手段】 電子部品1を構成する基板2の表面2aは、突出部2a1、および突出部2a1に対して段差を形成する底部2a2からなる。この底部2a2に、高さ寸法が最大の表面素子5a、5bを実装し、突出部2a1に、他の表面素子3、4を実装する。また、基板2の裏面2bには、突出部2a1に対応する位置に、キャビティ7を形成し、このキャビティ7に裏面素子8を収納する。

【効果】 表面素子間の高さ寸法の差が吸収され、各裏面素子を、基板の表面から同一の高さに揃えて配置し、電子部品全体の小型化、低背化を実現できる。



【特許請求の範囲】

【請求項1】 表面および裏面を有する基板と、該基板の前記表面に実装される複数の表面素子とを備え、該複数の表面素子に高さ寸法の差がある電子部品において、前記基板の表面が、前記基板の厚み方向に突出する突出部と、該突出部に対して段差を形成する底部とからなり、

前記複数の表面素子のうち、高さ寸法が最大のものが前記底部に実装されたことを特徴とする電子部品。

【請求項2】 前記複数の表面素子が、前記基板の表面から同一の高さに揃えられて配置されたことを特徴とする請求項1に記載の電子部品。

【請求項3】 前記基板の裏面において、前記基板の表面の突出部に対応する位置にキャビティが形成され、該キャビティに裏面素子が実装されたことを特徴とする請求項1または2に記載の電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各種電子機器に用いられる電子部品、特に、基板の表面に複数の素子が実装されてなる電子部品に関する。

【0002】

【従来の技術】 従来の電子部品の構成を図4を用いて説明する。

【0003】 図4において、21は電子部品であり、基板22を備えてなる。ここで、とくに図示しないが、基板22は、それぞれ配線が印刷された複数枚のシートからなる多層配線基板である。また、基板22の表面22aには、表面素子として、トランジスタ等の高さ寸法の比較的大きい素子23a、23b、および抵抗、コンデンサ等の高さ寸法の比較的小さい素子24、25が実装される。また、基板22の裏面22bの略中央には、キャビティ26が形成されている。このキャビティ26には、裏面素子として、IC(集積回路)等の素子27が実装される。ここで、キャビティ26の深さ寸法は、素子27の高さ寸法より大きいため、素子27の全体がキャビティ26の内部に収納されることとなり、電子部品21の低背化に寄与するものである。また、基板22の表面22a側には金属製のシールドケース28が装着される。このように構成される電子部品21は、基板22の裏面22bを実装面として、プリント基板(図示せず)に実装されて用いられる。

【0004】

【発明が解決しようとする課題】 従来の電子部品21においては、基板22の表面22aに実装される表面素子のうち、高さ寸法の比較的大きい素子23a、23bが、高さ寸法の比較的小さい素子24、25より高い位置に突出することとなる。また、素子23a、23bの高さ寸法に対応して、シールドケース28の高さ寸法も大きくなるため、結果として、電子部品21の高さ寸法

が大きくなり、電子部品21の小型化、低背化を妨げるものとなっている。

【0005】 そこで、本発明においては、基板の表面に実装される複数の表面素子の高さ寸法のばらつきを吸収する構成を備えることにより、小型化、低背化が可能な電子部品を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記の目的を達成するため、本発明においては、表面および裏面を有する基板と、該基板の前記表面に実装される複数の表面素子とを備え、該複数の表面素子に高さ寸法の差がある電子部品において、前記基板の表面が、前記基板の厚み方向に突出する突出部と、該突出部に対して段差を形成する底部とからなり、前記複数の表面素子のうち、高さ寸法が最大のものが前記底部に実装されたことを特徴とする。

【0007】 また、前記複数の表面素子が、前記基板の表面から同一の高さに揃えられて配置されたことを特徴とする。

【0008】 また、前記基板の裏面において、前記基板の表面の突出部に対応する位置にキャビティが形成され、該キャビティに裏面素子が実装されたことを特徴とする。本発明にかかる電子部品においては、基板の表面に実装される複数の表面素子のうち、高さ寸法が最大のものが、基板の表面の底部に実装されることにより、表面素子同士の高さ寸法の差が吸収され、各表面素子が、基板の表面から同一の高さに揃えられて配置されたり、あるいは、表面素子同士で、基板の表面からの高さ寸法の差が減少したりする。これにより、電子部品の小型化、低背化が実現される。

【0009】 また、本発明にかかる電子部品においては、裏面素子を収納するキャビティが、基板の表面の突出部に対応する位置に設けられるため、基板の厚み寸法の強度上の最小値を確保したうえで、電子部品の小型化、低背化が実現される。

【0010】

【発明の実施の形態】 本発明の一実施例にかかる電子部品の構成を図1を用いて説明する。

【0011】 図1において、1は電子部品であり、基板2を備え、基板2の表面2a側に、金属製のシールドケース10が装着されてなり、基板2の裏面2bを実装面として、プリント基板(図示せず)に実装されて用いられるものである。ここで、特に図示しないが、基板2は、各層に配線が印刷された多層配線基板である。

【0012】 また、基板2の表面2aは、基板2の厚み方向に突出する突出部2a1と、この突出部2a1に対して段差を形成する底部2a2とからなる。このうち、突出部2a1には、表面素子として、抵抗、コンデンサ等の高さ寸法の比較的小さい素子3、4が実装され、底部2a2には、同じく表面素子として、トランジスタ等の高さ寸法の比較的大きい素子5a、5b、およびイン

ダクタ等の高さ寸法の比較的小さい素子6a、6bが、それぞれ実装される。ここで、素子3、4、6a、6bは、互いに等しい高さ寸法t4に設定されており、素子5a、5bは、t4よりはるかに大きい高さ寸法t5に設定されている。また、基板2の表面2aの突出部2a1と底部2a2との高さ寸法の差d2は、素子5a、5bの高さ寸法t5と、他の表面素子の高さ寸法t4との差に等しい値である。したがって、素子5a、5bが底部2a2に配置されることにより、表面素子の高さ寸法t4、t5間の差が吸収され、各表面素子が、基板2の表面2aの突出部2a1から同一の高さに揃えられて配置されることとなる。

【0013】また、基板2の裏面2bには、表面2aの突出部2a1に対応する位置に、キャビティ7が形成される。キャビティ7は、第1凹部7aおよび第2凹部7bが断面階段状に形成されてなるものである。このキャビティ7の第2凹部7bには、裏面素子として、IC(集積回路)等の素子8が実装される。素子8は、ボンディングワイヤ9a、9bにより、キャビティ7の第1凹部7aに設けられた配線(図示せず)に接続される。

【0014】また、本実施例における各部の寸法は、以下のとおりである。

【0015】基板2の高さ寸法t1は0.9mmである。また、基板2において、裏面2bのキャビティ7の第2凹部7bと表面2aの突出部2a1との間の厚み寸法t2、および、裏面2bのキャビティ7の第1凹部7aと表面2aの底部2a2との間の厚み寸法t3は、それぞれ0.3mmである。この0.3mmという寸法は、基板2の厚み寸法の強度上の最小値である。また、キャビティ7の深さ寸法d1は0.6mmであり、基板2の表面2aの突出部2a1と底部2a2との間の段差寸法d2は0.4mmである。また、表面素子のうち、素子5a、5bの高さ寸法t5は0.9mmであり、素子5a、5b以外の各素子の高さ寸法t4は0.5mmである。そして、各表面素子は、基板2の裏面2aの突出部2b1から0.5mmの高さに揃えられて配置されることにより、電子部品1全体の高さ寸法t7は1.6mmとなる。また、シールドケース10の高さ寸法t6は1.4mmである。

【0016】上記のように、電子部品1においては、基板2の表面2aに実装される表面素子のうち、高さ寸法が最大の素子5a、5bが、表面2aの底部2a2に実装される。これにより、素子5a、5bと、他の表面素子との高さ寸法の差が吸収され、各表面素子が、基板2の表面2aから同一の高さに揃えられて配置されることとなり、電子部品1の小型化、低背化が実現される。

【0017】また、電子部品1においては、基板2の裏面2bのキャビティ7が、基板2の表面2aの突出部2a1に対応する位置に設けられるため、基板2の厚み寸法の強度上の最小値を確保したうえで、電子部品1の小

型化、低背化が実現される。なお、上記実施例においては、基板の表面の突出部と底部との間の段差寸法が、表面素子同士の高さ寸法の差に等しい値であり、この段差により、表面素子間の高さ寸法の差が全て吸収される場合について説明したが、突出部と底部との間の段差寸法が、表面素子間の高さ寸法の差より小さくともよい。このような場合、例えば、図2に示すように、表面素子同士で、基板2の表面2aからの高さの差G1が低減され、電子部品1の低背化、小型化が実現される。なお、図2において、図1(b)と同一もしくは相当する部分には同一の符号を付し、その説明は省略する。

【0018】また、上記実施例においては、基板の表面の略中央に突出部を設ける場合について説明したが、基板の表面において、突出部を設ける位置は、これに限定されるものではない。したがって、例えば、図3に示すように基板2の表面2aの端縁に接して突出部2a1を設け、この突出部2a1に対応させて、基板2の裏面2bにキャビティ7を設けてもよい。なお、図3において、図1(b)と同一もしくは相当する部分には同一の符号を付し、その説明は省略する。

【0019】また、上記実施例においては、基板の表面に一つの段差を形成し、2種類の高さ寸法を有する表面素子を実装する場合について説明したが、基板の表面に複数の段差を形成し、3種類以上の高さ寸法を有する表面素子を、それぞれの高さ寸法に合わせて、各段差に実装してもよい。

【0020】また、上記実施例においては、基板の裏面にキャビティを設ける場合について説明したが、基板の裏面にキャビティを設けない場合にも、本発明を適用することができる。

【0021】また、上記実施例においては、基板の裏面に单一のキャビティを設け、このキャビティに单一の裏面素子を設ける場合について説明したが、基板の裏面に複数のキャビティを設ける場合、ならびに、一つのキャビティに複数の裏面素子を設ける場合にも、本発明を適用することができる。

【0022】また、上記実施例においては、電子部品にシールドケースを装着する場合について説明したが、シールドケースを装着しない場合にも、本発明を適用することができる。

【0023】

【発明の効果】本発明にかかる電子部品においては、基板の表面に実装される複数の表面素子のうち、高さ寸法が最大のものが、基板の表面の底部に実装されることにより、表面素子同士の高さ寸法の差が吸収され、各表面素子が、基板の表面から同一の高さに揃えられて配置されたり、あるいは、表面素子同士で、基板の表面からの高さ寸法の差が減少したりする。これにより、電子部品の小型化、低背化が実現される。

【0024】また、本発明にかかる電子部品において

は、裏面素子を収納するキャビティが、基板の表面の突出部に対応する位置に設けられるため、基板の厚み寸法の強度上の最小値を確保したうえで、電子部品の小型化、低背化が実現される。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる電子部品を示す図であり、(a)は一部透視平面図、(b)は(a)の切断線A-Aによる断面図、(c)は裏面図である。

【図2】図1の電子部品の変形例を示す断面図である。

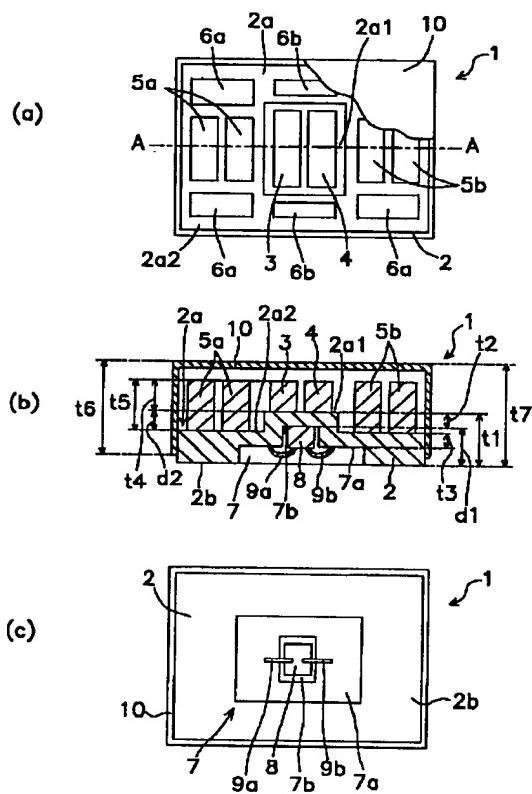
【図3】図1の電子部品の他の変形例を示す断面図である。

【図4】従来の電子部品を示す断面図である。

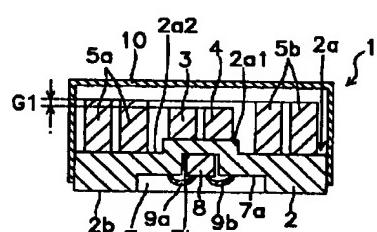
【符号の説明】

1	電子部品
2	基板
2 a	表面
2 b	裏面
2 a 1	突出部
2 a 2	底部
3、4、5 a、5 b、6 a、6 b	表面素子
7	キャビティ
8	裏面素子

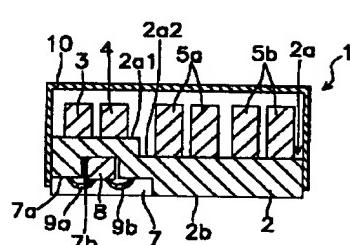
【図1】



【図2】



【図3】



【図4】

